

PATENT

GK-US035196

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
Young-Ho CHO et al. :
Serial No.: New :
Filed: Herewith :
For: BROAD-BAND VARIABLE GAIN :
AMPLIFIER WITH HIGH LINEARITY :
WHICH OPERATES IN SWITCH-MODE :

CLAIM FOR PRIORITY UNDER 35 U.S.C. §119

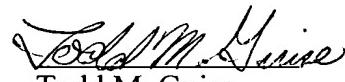
The Assistant Commissioner of Patents
Washington, DC 20231

Sir:

Under the provisions of 35 U.S.C. §119, Applicant(s) files herewith a certified copy of Korean Application No. 10-2002-0075285, filed November 29, 2002, in accordance with the International Convention for the Protection of Industrial Property, 53 Stat. 1748.

Applicant(s) hereby claims priority under 35 U.S.C. §119 in accordance with the International Convention for the Protection of Industrial Property, 53 Stat. 1748.

Respectfully submitted,


Todd M. Guise
Reg. No. 46,748

SHINJYU GLOBAL IP COUNSELORS, LLP
1233 Twentieth Street, NW, Suite 700
Washington, DC 20036
(202)-293-0444

Dated: 10/1/03

GK-US035196



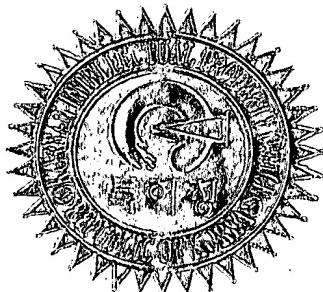
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

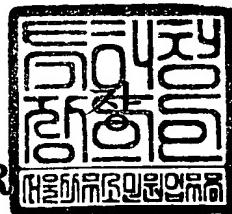
출 원 번 호 : 10-2002-0075285
Application Number

출 원 년 월 일 : 2002년 11월 29일
Date of Application NOV 29, 2002

출 원 인 : 인티그런트 테크놀로지즈(주)
Applicant(s) INTEGRANT TECHNOLOGIES INC.



2003 년 11 월 14 일



특 허 청
COMMISSIONER

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.11.29
【발명의 명칭】	스위치 모드 동작을 하는 선형성이 우수한 광대역 가변 이득 증폭기
【발명의 영문명칭】	Broad-band Variable Gain Amplifier with High Linearity which Operates in Switch-mode
【출원인】	
【명칭】	인티그런트 테크놀로지즈(주)
【출원인코드】	1-2001-002372-0
【대리인】	
【성명】	박경완
【대리인코드】	9-1999-000646-5
【포괄위임등록번호】	2001-003356-1
【대리인】	
【성명】	김성호
【대리인코드】	9-1998-000633-4
【포괄위임등록번호】	2001-003357-8
【발명자】	
【성명의 국문표기】	조영호
【성명의 영문표기】	CHO, Youngho
【주민등록번호】	760520-1030138
【우편번호】	462-130
【주소】	경기도 성남시 중원구 성남동 4346번지 301호
【국적】	KR
【발명자】	
【성명의 국문표기】	김보은
【성명의 영문표기】	KIM, Bo-Eun
【주민등록번호】	690112-1100611
【우편번호】	449-907

【주소】 경기도 용인시 기흥읍 신갈리 151-1 신갈 현대아파트 101동 106호

【국적】 KR

【발명자】

【성명의 국문표기】 김본기

【성명의 영문표기】 KIM, Bon Kee

【주민등록번호】 710703-1261910

【우편번호】 461-160

【주소】 경기도 성남시 수정구 신흥동 한신아파트 2-1004호

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
박경완 (인) 대리인
김성호 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	6	면	6,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	7	항	333,000	원
【합계】	368,000 원			
【감면사유】	소기업 (70%감면)			
【감면후 수수료】	110,400 원			

【첨부서류】 1. 요약서·명세서(도면)_1통 2. 소기업임을 증명하는 서류_1통

【요약서】**【요약】**

본 발명은 스위치 모드 동작을 하는 선형성이 우수한 광대역 가변 이득 증폭기에 관한 것이다. 본 발명의 일실시예에 따른 가변 이득 증폭기는 제1 증폭부, 제2 증폭부, 및 제3 증폭부를 포함한다. 제1 증폭부는 증폭 소자, 광대역 매칭부, 감쇄부, 및 제1 스위치 수단을 포함하고, 고 이득 모드 및 저 이득 증폭 동작을 지원한다. 고 이득 모드의 경우, 제1 스위치 수단을 단락시키고, 입력 신호를 높은 이득으로 증폭시킴으로써, 뒷단에 의한 시스템 전체의 잡음 특성을 개선시킨다. 저 이득 모드의 경우, 제1 스위치 수단을 개방시키고, 입력 신호를 증폭 동작 없이 감쇄부에 의하여 감쇄시켜 출력함으로써, 제1 증폭부의 뒷단에 의해 발생되는 비선형성을 감소시킨다. 제2 증폭부는 소오스 퇴화 가변 저항 및 부하 퇴화 가변 저항을 포함하고, 이들의 저항 값을 제어함으로써 이득을 제어하고, 제3 증폭부는 소오스 퇴화 가변 저항의 저항 값을 제어함으로써 이득을 제어한다. 본 발명의 다른 실시예에 따라서는 제1 증폭부만을 독자적으로 사용하여 신호를 증폭시킬 수 있으며, 또한, 제1 증폭부 뒤에 제2 증폭부 및 제3 증폭부의 다양한 조합을 접속시킴으로써 가변 이득 증폭기를 구현할 수 있다.

【대표도】

도 2

【색인어】

가변 이득 증폭기, 스위치 모드 동작, 광대역 매칭부, 감쇄부, 선형성

【명세서】

【발명의 명칭】

스위치 모드 동작을 하는 선형성이 우수한 광대역 가변 이득 증폭기{Broad-band Variable Gain Amplifier with High Linearity which Operates in Switch-mode}

【도면의 간단한 설명】

도 1은 본 발명의 일실시예에 따른 가변 이득 증폭기를 개략적으로 도시한 블록도.

도 2는 도 1에 도시된 가변 이득 증폭기의 제1 증폭부를 본 발명의 일실시예에 따라서 도시한 회로도.

도 3은 도 1에 도시된 가변 이득 증폭기의 제2 증폭부를 본 발명의 일실시예에 따라서 도시한 회로도.

도 4는 도 1에 도시된 가변 이득 증폭기의 제3 증폭부를 본 발명의 일실시예에 따라서 도시한 회로도.

도 5는 본 발명의 다른 실시예에 따른 가변 이득 증폭기 및 스위칭 믹서를 도시한 블록도.

도 6은 도 5에 도시된 믹서 회로의 내부 구성을 도시한 회로도.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<7> 본 발명은 가변 이득 증폭기에 관한 것으로서, 더욱 상세하게는 스위치 모드(switch-mode) 동작을 하는 선형성이 우수한 광대역 가변 이득 증폭기에 관한 것이다.

- <8> 가변 이득 증폭기(Variable Gain Amplifier)는 이득을 조절함으로써 원하는 출력 신호 레벨을 유지하기 위하여 사용되는 장치를 말하며, 통상 무선 주파수 수신 장치에서 사용된다. 무선 주파수 수신 장치에 있어서, 안테나를 통해 수신된 신호는 높은 동적 범위를 가진다. 따라서, 수신된 신호의 기저 대역 단에 일정한 레벨의 신호가 제공되기 위해서는, 가변 이득 증폭기 또한 높은 동적 범위를 가져야 한다.
- <9> 현재까지 가변 이득 증폭기에 대한 연구는 활발히 진행되어 다양한 가변 이득 증폭기가 개시되었으며, 가변 이득 증폭기의 동적 범위를 높이고, 신호의 선형성을 개선하기 위한 연구가 계속적으로 진행되고 있다.
- <10> 가변 이득 증폭기의 선형성을 개선시키기 위한 종래 기술의 하나로서, 미합 중국 특허 제 5,949,286호에 개시된 것이 있다.
- <11> 이는 입력 신호를 증폭시키기 위한 차동 증폭 트랜지스터 쌍을 포함하고, 상기 트랜지스터 쌍의 에미터에 다이오드 쌍을 접속시킴으로써, 에미터 퇴화(emitter degeneration)를 이용하여 증폭기의 이득을 제어한다. 즉, 다이오드 쌍에 트랜지스터 회로를 접속시키고, 상기 트랜지스터에 인가되는 제어 전압을 가변시킴으로써, 다이오드에 인가되는 전류의 양을 제어할 수 있다. 따라서, 다이오드 쌍의 임피던스 값이 상기 제어 전압에 의하여 제어되며, 가변 이득 증폭기의 이득을 제어할 수 있다.
- <12> 미합 중국 특허 제 5,949,286호에 개시된 가변 이득 증폭기는 입력단에 다이오드를 접속시켜 전치 왜곡시킴으로써, 트랜지스터 쌍의 에미터 간에 접속된 다이오드 쌍의 비선형 특성을 개선하고 있다. 또한, 더미 증폭기(dummy amplifier)를 상기 차동 증폭 트랜지스터 쌍에 접속시킴으로써 다이오드 쌍에 의한 커패시티브 영향을 제거한다. 따라서, 가변 이득 증폭기의 고주파수에서의 이득 제어 범위를 증대시킬 수 있는 것이다.

<13> 그러나, 미합 중국 특허 제 5,949,286호에 개시된 가변 이득 증폭기는 선형성을 개선시키기 위하여 더미 증폭기를 사용함으로써, 전류 및 칩 면적의 추가 소모를 발생시키는 문제가 있으며, 능동 소자를 이용하여 선형 특성을 개선시키는 데에는 한계가 있었다.

【발명이 이루고자 하는 기술적 과제】

<14> 본 발명의 목적은 선형성이 우수한 가변 이득 증폭기를 제공하고자 함에 있다.

<15> 본 발명의 다른 목적은 고 이득 모드 및 저 이득 모드에서 각각 최적의 동작을 수행할 수 있는 가변 이득 증폭기를 제공함에 있다.

<16> 본 발명의 또 다른 목적은 광대역에서 증폭 동작이 우수한 가변 이득 증폭기를 제공하고자 함에 있다.

【발명의 구성 및 작용】

<17> 상기와 같은 목적을 달성하기 위하여 본 발명의 일실시예에 따른 가변 이득 증폭기는, 입력단 및 출력단을 구비하고 입력단에 인가된 신호를 증폭시켜 출력하되, 고 이득 모드 및 저 이득 모드에서 동작하는 가변 이득 증폭기에 있어서, 입력단을 형성하는 제1 단자, 출력단을 형성하는 제2 단자, 및 제2 전원에 접속되는 제3 단자를 구비하고, 제1 단자에 인가되는 전압의 크기에 기초하여 제2 단자로부터 제3 단자로 흐르는 전류의 크기 및 방향이 가변되는 증폭 소자, 입력단 및 출력단 간에 접속되고, 고 이득 모드 동작 시 광대역에서 입력 임피던스를 매칭시키는 광대역 매칭부, 입력단 및 출력단 간에 접속되고, 저 이득 모드 동작 시 입력 신호를 감쇄시켜 출력단으로 출력하는 감쇄부, 증폭 소자의 제1 단자에 접속되어 고 이득 모드 동작 시 증폭 소자를 활성화시키기 위한 수단, 및 증폭 소자의 제2 단자 및 제1 전원 간에 접속되는 부하 임피던스를 포함한다.

- <18> 본 발명의 일실시예에 따른 가변 이득 증폭기에 있어서, 광대역 매칭부는 커패시터, 인덕터, 저항 및 스위치 수단을 포함하고, 커패시터의 일단은 입력단에 접속되고, 커패시터의 타단에는 인덕터, 저항 및 스위치 수단이 직렬로 접속되며, 스위치 수단의 타단은 출력단에 접속된다.
- <19> 본 발명의 일실시예에 따른 가변 이득 증폭기에 있어서, 감쇄부는 커패시터, 저항, 및 스위치 수단을 포함하고, 커패시터의 일단은 입력단에 접속되고, 타단에는 저항 및 스위치 수단이 직렬로 접속되며, 스위치 수단의 타단은 출력단에 접속된다.
- <20> 본 발명의 일실시예에 따른 가변 이득 증폭기에 있어서, 고 이득 모드에서 증폭 소자를 활성화시키기 위한 수단은 스위치 수단 및 바이어스 전압을 포함한다.
- <21> 본 발명의 일실시예에 따른 가변 이득 증폭기에 있어서, 증폭 소자는 MOSFET 트랜지스터이고, 제1 단자는 게이트, 제2 단자는 드레인, 제3 단자는 소오스이다.
- <22> 본 발명의 일실시예에 따른 가변 이득 증폭기에 있어서, 제1 단자, 제2 단자 및 제3 단자를 구비하고, 제1 단자에 인가되는 전압의 크기에 기초하여 제2 단자로부터 제3 단자로 흐르는 전류의 크기 및 방향이 가변되는 제1 및 제2 증폭 소자, 제1 및 제2 증폭 소자의 제2 단자 및 제1 전원간에 각각 접속되는 제1 및 제2 부하 저항, 제1 및 제2 증폭 소자의 제3 단자에 각각 접속되는 제1 및 제2 전류 소오스, 제1 및 제2 증폭 소자의 제3 단자 간에 접속되는 소오스 퇴화 가변 저항, 및 제1 및 제2 증폭 소자의 제2 단자 간에 접속되는 부하 퇴화 가변 저항을 포함하되, 제1 증폭 소자의 제1 단자는 출력단에 접속되고, 제2 증폭 소자의 제1 단자는 접지되며, 제1 및 제2 증폭 소자의 제2 단자는 각각 - 및 + 제2 출력단을 형성하는 제2 증폭 회로를 더 포함한다.

<23> 본 발명의 일실시예에 따른 가변 이득 증폭기에 있어서, 제1 단자, 제2 단자 및 제3 단자를 구비하고, 제1 단자에 인가되는 전압의 크기에 기초하여 제2 단자로부터 제3 단자로 흐르는 전류의 크기 및 방향이 가변되는 제1 및 제2 증폭 소자, 제1 및 제2 증폭 소자의 제2 단자 및 제1 전원 간에 접속되는 제1 및 제2 부하 저항, 제1 및 제2 증폭 소자의 제3 단자에 각각 접속되는 제1 및 제2 전류 소오스, 및 제1 및 제2 증폭 소자의 제3 단자 간에 접속되는 소오스 퇴화 가변 저항을 포함하되 제1 및 제2 증폭 소자의 제1 단자는 각각 - 및 + 제2 출력단에 접속되고, 제1 및 제2 증폭 소자의 제2 단자는 각각 - 및 + 제3 출력단을 형성하는 제3 증폭 회로를 더 포함한다.

<24> 이하, 본 발명의 실시예를 첨부된 도면을 참조하여 상세히 설명한다.

<25> 본 발명에 따른 가변 이득 증폭기는 MOSFET 트랜지스터 증폭 소자를 활용한다. 증폭 소자는 게이트, 소오스, 및 드레인을 구비한다. MOSFET 트랜지스터는 게이트에 인가되는 전압의 크기 및 극성에 따라서, 소오스로부터 드레인으로 또는 그 역으로 흐르는 전류의 양 및 방향이 결정되는 특성을 갖는다. 이러한 증폭 소자로는 바이폴라 정션 트랜지스터(BJT), 정션 전계 효과 트랜지스터(JFET), 금속 산화막 반도체 전계 효과 트랜지스터(MOSFET) 및 금속 반도체 전계 효과 트랜지스터(MESFET) 등이 있다.

<26> 또한, 이러한 증폭 소자의 대부분은 서로 상보적인 두개의 상보 소자, 즉 제1 상보 소자, 예를 들면, N형 MOSFET, 및 제2 상보 소자, 예를 들면, P형 MOSFET를 활용한다. 제1 상보 소자 및 제2 상보 소자는 게이트(N_g , P_g)에 인가되는 전압의 크기 및 극성에 따라서, 소오스(N_s , P_s)로부터 드레인(N_d , P_d)으로 또는 그 역으로 흐르는 전류의 양 및 방향이 결정되는 특성을 갖는다.

<27> 상술한 증폭 소자 중에서도 MOSFET이 동일 규격의 상보 소자 양자간의 특성차가 가장 적은 것으로 알려져 있으므로, MOSFET을 사용하는 것이 바람직하다. 따라서, 이하의 설명에서는 MOSFET을 중심으로 설명하고자 한다. 그러나, 본 발명의 정신은 MOSFET 뿐만 아니라 상보적으로 동작하는 모든 소자에 적용할 수 있다. 따라서, 비록 본 명세서에서는 MOSFET을 중심으로 설명하나, 본 발명의 개념과 범위가 MOSFET으로 한정되는 것은 아니다. 또한 이하의 설명에서 N형 MOSFET를 중심으로 설명하지만, 본 발명의 개념을 P형 MOSFET에도 적용할 수 있음은 당업계에 자명하다

<28> 도 1은 본 발명의 일실시예에 따른 가변 이득 증폭기를 개략적으로 도시한 블록도이다.

<29> 도 1에 도시된 바와 같이, 본 발명의 일실시예에 따른 가변 이득 증폭기는 제1 내지 제3 증폭부(101~105)를 포함한다. 제1 내지 제3 증폭부(101~103)에는 각각 제1 내지 제3 제어 신호 V_{c1} , V_{c2} , V_{c3} 가 인가되고, 각각의 제어 신호에 의하여 각 증폭부에서의 이득이 제어된다.

<30> 본 발명의 일실시예에 따른 가변 이득 증폭기에 있어서, 제1 증폭부(101)는 인가되는 제1 제어 신호 V_{c1} 에 의하여 고 이득 모드 및 저 이득 모드에서 동작하도록 구현된다. 즉, 수신 신호의 전력 레벨이 낮아 높은 이득의 증폭 동작이 필요한 경우에는 고 이득 모드 동작을 지원하고, 수신 신호의 전력 레벨이 높아 신호의 선형성이 중요한 경우에는 저 이득 모드 동작을 지원한다. 상기 고 이득 모드 및 저 이득 모드는 인가되는 제1 제어 신호 V_{c1} 에 의하여 결정된다.

<31> 제2 증폭부(103)는 차동 증폭 회로로 구현되며, 제1 증폭부(101)의 출력 전압 및 접지 간의 전압 차를 소정의 이득으로 증폭하여 출력한다. 제2 증폭부(103)의 이득은 제2 제어 신호 V_{c2} 에 의하여 결정된다.

- <32> 제3 증폭부(105)는 차동 증폭 회로로 구현되며, 제2 증폭부(103)의 출력 전압간의 전압 차를 소정의 이득으로 증폭하여 출력한다. 제3 증폭부(105)의 이득은 제3 제어 신호 V_{c3} 에 의하여 결정된다.
- <33> 도 2는 도 1에 도시된 가변 이득 증폭기의 제1 증폭부(101)를 도시한 회로도이다.
- <34> 도 2에 도시된 바와 같이, 본 발명의 일실시예에 따른 제1 증폭부(101)는 NMOS 트랜지스터 MN21, 부하 임피던스(201), 제1 스위치 수단 SW1, 광대역 매칭부(210), 및 감쇄부(230)를 포함한다.
- <35> 이하, 이들 구성간의 접속관계를 상세히 설명한다.
- <36> NMOS 트랜지스터 MN21의 게이트는 제1 증폭부(101)의 입력단 V_{in} 을 형성하고, 드레인은 광대역 매칭부(210) 및 감쇄부(230)의 일단 및 부하 저항(201)의 일단과 접속되어 제1 증폭부(101)의 출력단 V_{out1} 을 형성한다. NMOS 트랜지스터 MN21의 소오스는 접지된다.
- <37> 제1 스위치 수단 SW1의 일단은 NMOS 트랜지스터 MN21의 게이트에 접속되고, 타단에는 바이어스 전압 $Bias$ 이 인가되며, 부하 저항(201)의 타단은 전원에 접속된다.
- <38> 광대역 매칭부(210)는 제1 증폭부(101)의 입력단 V_{in} 및 출력단 V_{out1} 간에 접속되며, 제1 커패시터 C21, 제1 인덕터 L21, 제1 저항 R21, 및 제2 스위치 수단 SW2을 포함한다. 즉, 제1 커패시터 C21의 일단은 제1 증폭부(101)의 입력단 V_{in} 에 접속되고, 제1 커패시터 C21의 타단에는 제1 인덕터 L21, 제1 저항 R21, 제2 스위치 수단 SW2이 직렬로 접속된다. 제2 스위치 수단 SW2의 타단은 제1 증폭부(101)의 출력단 V_{out1} 에 접속된다.
- <39> 감쇄부(230)는 제1 증폭부(101)의 입력단 V_{in} 및 출력단 V_{out1} 간에 접속되며, 제2 커패시터 C22, 제2 저항 R22, 및 제3 스위치 수단 SW3을 포함한다. 즉, 제2 커패시터 C22의 일단은

제1 증폭부(101)의 입력단 Vin에 접속되고, 타단은 제2 저항 R22의 일단과 접속된다. 제2 저항 R22의 타단은 제3 스위치 수단 SW3의 일단과 접속되며, 제3 스위치 수단 SW3의 타단은 제1 증폭부(101)의 출력단 Vout1에 접속된다.

<40> 이하, 도 2를 참조하여 본 발명의 일실시예에 따른 제1 증폭부(101)의 동작을 설명한다.

<41> 본 발명의 일실시예에 따른 제1 증폭부(101)는 고 이득 모드 및 저 이득 모드 동작을 지원한다. 즉, 제1 증폭부(101)에 인가되는 입력 신호 Vin의 전력 레벨이 미리 정해진 기준 전압 미만의 경우에는 고 이득 모드 동작을 지원하고, 입력 신호 Vin의 전력 레벨이 상기 기준 전압 이상인 경우에는 저 이득 모드 동작을 지원한다.

<42> 고 이득 모드의 경우, 제1 및 제2 스위치 수단 SW1, SW2은 단락되고, 제3 스위치 수단 SW3은 개방된다. 따라서, NMOS 트랜지스터 MN21의 게이트에는 바이어스 전압 Bias이 인가되고, NMOS 트랜지스터 MN21은 활성화된다. 또한, 광대역 매칭부(210)가 활성화 되고, 감쇄부(230)는 비활성화된다.

<43> NMOS 트랜지스터 MN21은 게이트에 인가되는 전압 Vin에 비례하는 전류를 드레인에 흐르도록 함으로써, 입력 신호 Vin을 증폭시키는 역할을 한다.

<44> 광대역 매칭부(210)의 제1 커패시터 C21은 광대역 매칭부(210)로 유입되는 DC 전원을 차단한다. 또한, 제1 커패시터 C21, 제1 인덕터 L21, 및 제1 저항 R21의 임피던스 값을 적절히 선택함으로써, 본 발명의 일실시예에 따른 가변 이득 증폭기가 광대역에서 매칭이 가능하고, 고주파수에서도 플랫한 이득을 얻을 수 있도록 할 수 있다. 다시 말하면, 일반적으로 MOSFET 트랜지스터는 입력 임피던스가 매우 높기 때문에 임피던스를 매칭(impedance matching)하는 임피던스 변환(impedance transformation) 과정이 필요하다. 따라서, 도 2에 도시된 바와 같이,

저항, 인덕터, 커패시터를 직렬 접속하여 피드백으로 접속하면 MOSFET 트랜지스터의 임피던스를 낮출 수 있으며, 광대역에서도 매칭이 가능하게 된다.

<45> 저 이득 모드의 경우, 제1 및 제2 스위치 수단 SW1, SW2은 개방되고, 제3 스위치 수단 SW3은 단락된다. 따라서, NMOS 트랜지스터 MN21 및 광대역 매칭부(210)는 비활성화되고, 감쇄부(230)만이 동작을 하게 된다.

<46> 즉, 입력된 신호 Vin는 제2 커패시터 C22에 인가되어 DC 신호가 차단된 채 아날로그 신호 만이 제2 저항 R22 및 제3 스위치 수단 SW3를 통하여 출력단 Vout으로 출력된다. 따라서, 입력된 신호 Vin는 능동 소자인 NMOS 트랜지스터 MN21를 통과하지 않고, 수동 소자인 제2 저항 R22 및 저항 성분이 우세한 제3 스위치 수단 SW3에 의하여 감쇄(attenuation)되어 출력단 Vout으로 전송되므로 신호의 선형성이 매우 우수해진다.

<47> 또한, 저 이득 모드에서 제2 저항 R22 및 제3 스위치 수단 SW3은 모두 저항 성분이 우세하여 주파수에 따른 임피던스 변화가 미세하기 때문에 제2 저항 R22 및 제3 스위치 수단 SW3의 임피던스를 적절히 조절하면 광대역 매칭이 가능하게 된다.

<48> 상기 설명한 바와 같이, 본 발명의 일실시예에 따른 제1 증폭부(101)는 입력 신호 Vin의 전력 레벨이 낮은 경우에는 높은 이득으로 신호를 증폭시킴으로써, 뒷단에 의한 시스템 전체의 노이즈 특성(Noise Figure)을 감소시킨다. 이와 반대로, 입력 신호 Vin의 전력 레벨이 큰 경우에는, 제1 증폭부(101)의 이득을 감소시켜 제1 증폭부(101)의 뒷단에 의한 시스템 전체의 비선형적 특성을 감소시킴으로써, 가변 이득 증폭기의 선형성을 개선시킬 수 있다.

<49> 도 3은 도 1에 도시된 가변 이득 증폭기의 제2 증폭부(103)를 도시한 회로도이다.

- <50> 도 3에 도시된 바와 같이, 본 발명의 일실시예에 따른 제2 증폭부(103)는 제1 및 제2 NMOS 트랜지스터 MN31, MN32, 제1 및 제2 저항 R31, R32, 제1 및 제2 전류 소오스 I31, I32, 소오스 퇴화 가변 저항(source degeneration variable resistor) SD1, 및 부하 퇴화 가변 저항(load degeneration variable resistor) LD1을 포함한다.
- <51> 제1 및 제2 NMOS 트랜지스터 MN31, MN32의 게이트는 각각 제2 증폭부(103)의 + 및 - 입력단 Vin2+, Vin2-을 형성하고, 드레인은 각각 제1 및 제2 저항 R31, R32의 일단과 접속되어 제2 증폭부(103)의 - 및 + 출력단 Vout2-, Vout2+을 형성한다. 제1 및 제2 NMOS 트랜지스터 MN31, MN32의 소오스에는 각각 제1 및 제2 전류 소오스 I31, I32에 의하여 바이어스 전류가 공급된다.
- <52> 부하 퇴화 가변 저항 LD1은 제1 및 제2 NMOS 트랜지스터 MN31, MN32의 드레인 간에 접속되고, 소스 퇴화 가변 저항 SD1은 제1 및 제2 NMOS 트랜지스터 MN31, MN32의 소오스 간에 접속된다. 또한, 제1 및 제2 저항 R31, R32의 타단은 각각 전원에 접속된다.
- <53> 이하, 제2 증폭부(103)의 동작을 설명한다.
- <54> 제2 증폭부(103)의 제1 및 제2 NMOS 트랜지스터 MN31, MN32는 각각의 게이트에 인가되는 전압 Vin2+, Vin2-에 의하여 드레인에서 소오스로 흐르는 전류의 양을 제어하며, 상기 제어되는 전류의 양에 따라 제1 및 제2 저항 R31, R32에 의한 전압 강하가 계속적으로 변화하게 된다. 이로써, + 및 - 입력단 Vin+, Vin- 양단에 인가되는 전압의 차가 증폭되어, - 및 + 출력단 Vout-, Vout+ 양단에 나타나게 된다.
- <55> 소오스 퇴화 가변 저항 SD1 및 부하 퇴화 가변 저항 LD1은 그 저항 값을 가변시킴으로써, 제2 증폭부(403)의 이득 및 선형성을 제어한다. 즉, 소오스 퇴화 가변 저항

SD1의 저항 값을 증가시킬수록 제2 증폭부(103)의 이득은 감소하고, 선형성은 증대된다. 또한, 부하 퇴화 저항 LD1은 제1 및 제2 저항 R31, R32과 병렬로 접속된 저항으로 볼 수 있으므로, 부하 퇴화 저항 LD1의 저항 값을 제어함으로써, 제2 증폭부(103)의 부하 저항 값을 가변시킬 수 있다. 좀더 구체적으로는, 부하 퇴화 저항 LD1의 저항 값이 작아질수록 총 부하 저항 값이 작아지게 되어 제2 증폭부(103)의 이득이 감소된다. 이와 반대로, 부하 퇴화 저항 LD1의 저항 값을 증가시키면, 부하 퇴화 저항 LD1에 의한 영향은 감소하게 되고, 제2 증폭부(103)의 이득에 큰 영향을 미치지 않는다.

<56> 따라서, 수신된 신호의 크기에 따라서, 소오스 퇴화 가변 저항 SD1 및 부하 퇴화 가변 저항 LD1에 인가되는 제2 제어 신호 Vc2를 제어함으로써, 제2 증폭부(103)의 이득 및 선형성을 제어할 수 있다.

<57> 도 4는 도 1에 도시된 가변 이득 증폭기의 제3 증폭부(105)를 도시한 회로도이다.

<58> 도 4에 도시된 바와 같이, 본 발명의 일실시예에 따른 제3 증폭부(105)는 제1 및 제2 NMOS 트랜지스터 MN41, MN42, 제1 및 제2 저항 R41, R42, 제1 및 제2 전류 소오스 I41, I42, 및 소오스 퇴화 가변 저항 SD2을 포함한다.

<59> 제1 및 제2 NMOS 트랜지스터 MN41, MN42의 게이트는 각각 제2 증폭부(105)의 + 및 - 입력단 Vin3+, Vin3-을 형성하고, 드레인은 각각 제1 및 제2 저항 R41, R42의 일단과 접속되어, 제2 증폭부(105)의 - 및 + 출력단 Vout-, Vout+을 형성한다. 제1 및 제2 NMOS 트랜지스터 MN41, MN42의 소오스에는 각각 제1 및 제2 전류 소오스 I41, I42에 의하여 바이어스 전류가 공급된다.

- <60> 소오스 퇴화 가변 저항 SD2은 제1 및 제2 NMOS 트랜지스터 MN41, MN42의 소오스 간에 접속되며, 제1 및 제2 저항 R41, R42의 타단은 전원 V_{DD}에 접속된다.
- <61> 제3 증폭부(105)는 제2 증폭부(103)에서 증폭된 출력 신호를 다시 한번 증폭시킴으로써, 가변 이득 증폭기의 이득 제어 범위를 확대시킨다. 제3 증폭부(105)는 제3 제어 신호 V_{c3}에 의하여 그 이득 및 선형성이 제어된다.
- <62> 제3 증폭부(105)를 구성하는 도 4에 도시된 증폭 회로에 대해서는 이미 당업계에 널리 알려져 있고, 소오스 퇴화 저항 SD2에 대해서는 도 2에서 설명하였으므로 여기서는 설명을 생략하기로 한다.
- <63> 본 발명의 일실시예에 따른 증폭 회로는 상기 설명한 바와 같이, 제1 내지 제3 증폭부(101~105)를 포함하고, 각 증폭부는 신호를 소정의 이득으로 증폭시킴으로써, 그 동작 범위를 넓힐 수 있다.
- <64> 또한, 제1 증폭부(101)는 고 이득 모드 및 저 이득 모드 동작을 지원함으로써 증폭기의 잡음 특성 및 선형성을 개선시킬 수 있다. 즉, 작은 신호가 인가된 경우에는 신호의 이득을 높여 뒷단에 의한 시스템 전체의 잡음 특성을 감소시키고, 큰 신호가 인가된 경우에는 증폭 동작 없이 입력된 신호를 감쇄시켜 제2 증폭부(103)로 인가함으로써, 뒷단들이 시스템 전체에 미치는 비선형성을 감소시킨다. 그리고, 신호가 작은 경우에 광대역 매칭부를 피드백으로 접속시킴으로써, 본 발명에 따른 가변 이득 증폭기가 광대역 증폭 동작을 수행할 수 있도록 한다.
- <65> 제2 증폭부(103)는 제1 증폭부(101)에서 출력된 신호를 소오스 퇴화 가변 저항 SD1 및 부하 퇴화 가변 저항 LD1의 저항 값을 제어함으로써, 그 이득을 제어하여 증폭시키며, 수신 신

호의 레벨에 따라서 이득과 선형성을 제어함으로써, 전체 시스템의 선형성을 개선시킬 수 있다.

<66> 제3 증폭부(105)는 제2 증폭부(103)에서 출력된 신호를 또 한번 증폭시킴으로써, 가변 이득 증폭기의 이득 제어 범위를 넓혀주고, 소오스 퇴화 가변 저항 SD1의 저항 값을 제어함으로써 출력 신호의 이득 및 선형성을 제어함으로써, 가변 이득 증폭기의 선형성을 개선시킬 수 있다.

<67> 본 발명의 일실시예에 따른 가변 이득 증폭기에 대한 상기의 설명에서는 가변 이득 증폭기가 제1 내지 제3 증폭부(101~105)를 포함하는 것으로 설명하였으나, 이는 본 발명의 개념이 최적으로 적용된 일실시예에 불과한 것으로써, 실시예에 따라서는 한 개의 증폭부 또는 두개의 증폭부 만을 포함할 수 있다.

<68> 즉, 제1 증폭부(101)만을 사용하여, 두 개의 이득 모드 동작을 하도록 할 수 있으며, 제1 증폭부(101) 및 제2 증폭부(103) 또는 제1 증폭부(101) 및 제3 증폭부(105)를 접속시켜 가변 이득 증폭기를 구현할 수 있다. 나아가, 제1 증폭부(101) 뒷단에 제2 증폭부(103) 형태의 증폭 단만을 복수개 접속시켜 구현할 수 있으며, 제3 증폭부(105) 형태의 증폭단만을 복수개 접속시켜 구현할 수도 있다. 다시 말하면, 제1 증폭부(101) 뒤에는 제2 증폭부(103) 및 제3 증폭부(105)의 모든 조합 형태가 접속될 수 있으며, 증폭단의 수가 증가함에 따라 가변 이득 증폭기의 이득 제어의 범위가 증가된다.

<69> 도 5는 본 발명의 다른 실시예에 따른 가변 이득 증폭기 및 스위칭 맵서를 도시한 블록 도이다.

<70> 도 5에 도시된 바와 같이, 본 발명의 다른 실시예에 따라서는, 본 발명의 일실시예에 따른 가변 이득 증폭기의 출력단에 스위칭 믹서(507)가 접속된다. 가변 이득 증폭기는 제1 내지 제3 증폭부(501~505)를 포함하고, 스위칭 믹서(507)는 인가되는 제4 제어 신호 Vc4에 의하여 그 이득이 제어된다.

<71> 도 6은 도 5에 도시된 믹서 회로(507)의 내부 구성을 도시한 회로도이다.

<72> 도 6에 도시된 믹서 회로(507)는 전형적인 길버트 믹서 회로에 본 발명의 개념을 적용한 것으로서, 제1 및 제2 NMOS 트랜지스터 MN61, MN62의 소오스 간에 소오스 퇴화 저항 SD3 및 스위치 수단 SW61이 접속된다.

<73> 즉, 소오스 퇴화 저항 SD3 및 스위치 수단 SW61을 부가함으로써, 입력되는 신호 Vin4+, Vin4-의 전력 레벨에 따라 이득을 제어할 수 있다. 좀더 구체적으로는, 입력 신호 Vin4+, Vin4-의 전력 레벨이 높은 경우에는, 스위치 수단 SW61을 개방시킴으로써, 소오스 퇴화 저항 SD3에 의하여 믹서의 선형성을 개선시키고, 입력 신호 Vin4+, Vin4-의 전력 레벨이 낮은 경우에는, 스위치 수단 SW61을 단락시킴으로써, 믹서(507)의 이득 특성을 개선시킨다.

<74> 도 5 및 도 6에 도시된 본 발명의 다른 실시예는 입력되는 신호를 가변 이득 증폭기에서 제1 내지 제3 증폭부(501~505)를 통해 이득을 제어하며 증폭시키고, 가변 이득 증폭기에서 출력된 신호를 믹서(507)에서 다시 한번 이득을 제어하여 출력함으로써, 수신 장치의 선형성 및 이득 특성을 개선시킬 수 있다.

【발명의 효과】

<75> 본 발명에 따르면, 입력 신호의 전력 레벨에 따라서, 가변 이득 증폭기에 포함된 각 증폭부의 이득 및 선형성을 제어함으로써, 가변 이득 증폭기의 선형성을 개선시킬 수 있다.

- <76> 또한, 고 이득 모드 및 저 이득 모드 동작을 지원하고, 고 이득 모드에서는 수신 신호를 높은 이득으로 증폭시켜 시스템 전체의 잡음 특성을 개선시키고, 저 이득 모드에서는 증폭 동작 없이 입력된 신호를 감쇄시켜 출력함으로써 시스템 전체의 선형성을 개선시킬 수 있다.
- <77> 나아가, 제1 증폭부에 커패시터, 인덕터 및 저항의 직렬 접속으로 구현된 광대역 매칭부를 피드백으로 접속시킴으로써, 가변 이득 증폭기가 광대역에서 증폭 동작을 수행할 수 있도록 할 수 있다.
- <78> 더 나아가, 이득 제어가 가능한 세개의 증폭부를 구비함으로써, 가변 이득 증폭기의 이득 제어 범위를 넓힐 수 있다.

【특허청구범위】**【청구항 1】**

입력단 및 출력단을 구비하고 상기 입력단에 인가된 신호를 증폭시켜 출력하되, 고 이득 모드 및 저 이득 모드에서 동작하는 가변 이득 증폭기에 있어서,

상기 입력단을 형성하는 제1 단자, 상기 출력단을 형성하는 제2 단자, 및 제2 전원에 접속되는 제3 단자를 구비하고, 상기 제1 단자에 인가되는 전압의 크기에 기초하여 상기 제2 단자로부터 상기 제3 단자로 흐르는 전류의 크기 및 방향이 가변되는 증폭 소자,

상기 입력단 및 출력단 간에 접속되고, 고 이득 모드 동작 시 광대역에서 입력 임피던스를 매칭시키는 광대역 매칭부,

상기 입력단 및 출력단 간에 접속되고, 저 이득 모드 동작 시 상기 입력 신호를 감쇄시켜 상기 출력단으로 출력하는 감쇄부,

상기 증폭 소자의 제1 단자에 접속되어 고 이득 모드 동작 시 상기 증폭 소자를 활성화시키기 위한 수단, 및

상기 증폭 소자의 제1 단자 및 제1 전원 간에 접속되는 부하 임피던스를 포함하는 가변 이득 증폭기.

【청구항 2】

제1항에 있어서,

상기 광대역 매칭부는 커패시터, 인덕터, 저항 및 스위치 수단을 포함하고, 상기 커패시터의 일단은 상기 입력단에 접속되고, 상기 커패시터의 타단에는 상기 인덕터, 상기 저항 및

상기 스위치 수단이 직렬로 접속되며, 상기 스위치 수단의 타단은 상기 출력단에 접속되는 가변 이득 증폭기.

【청구항 3】

제1항에 있어서,

상기 감쇄부는 커패시터, 저항, 및 스위치 수단을 포함하고, 상기 커패시터의 일단은 상기 입력단에 접속되고, 타단에는 상기 저항 및 상기 스위치 수단이 직렬로 접속되며, 상기 스위치 수단의 타단은 상기 출력단에 접속되는 가변 이득 증폭기.

【청구항 4】

제1항에 있어서,

고 이득 모드에서 상기 증폭 소자를 활성화시키기 위한 수단은 스위치 수단 및 바이어스 전압을 포함하는 가변 이득 증폭기.

【청구항 5】

제1항에 있어서,

상기 증폭 소자는 MOSFET 트랜지스터이고, 상기 제1 단자는 게이트, 상기 제2 단자는 드레인, 상기 제3 단자는 소오스인 가변 이득 증폭기.

【청구항 6】

제1항에 있어서,

상기 가변 이득 증폭기는

제1 단자, 제2 단자 및 제3 단자를 구비하고, 상기 제1 단자에 인가되는 전압의 크기에 기초하여 상기 제2 단자로부터 상기 제3 단자로 흐르는 전류의 크기 및 방향이 가변되는 제1 및 제2 증폭 소자,

상기 제1 및 제2 증폭 소자의 제2 단자 및 상기 제1 전원간에 각각 접속되는 제1 및 제2 부하 저항,

상기 제1 및 제2 증폭 소자의 제3 단자에 각각 접속되는 제1 및 제2 전류 소오스,

상기 제1 및 제2 증폭 소자의 제3 단자 간에 접속되는 소오스 퇴화 가변 저항, 및

상기 제1 및 제2 증폭 소자의 제2 단자 간에 접속되는 부하 퇴화 가변 저항을 포함하되,

상기 제1 증폭 소자의 제1 단자는 상기 출력단에 접속되고, 상기 제2 증폭 소자의 상기 제1 단자는 접지되며, 상기 제1 및 제2 증폭 소자의 상기 제2 단자는 각각 - 및 + 제2 출력단을 형성하는 제2 증폭 회로를 더 포함하는 가변 이득 증폭기.

【청구항 7】

제1항 또는 제6항에 있어서,

상기 가변 이득 증폭기는

제1 단자, 제2 단자 및 제3 단자를 구비하고, 상기 제1 단자에 인가되는 전압의 크기에 기초하여 상기 제2 단자로부터 상기 제3 단자로 흐르는 전류의 크기 및 방향이 가변되는 제1 및 제2 증폭 소자,

상기 제1 및 제2 증폭 소자의 제2 단자 및 상기 제1 전원간에 접속되는 제1 및 제2 부하 저항,

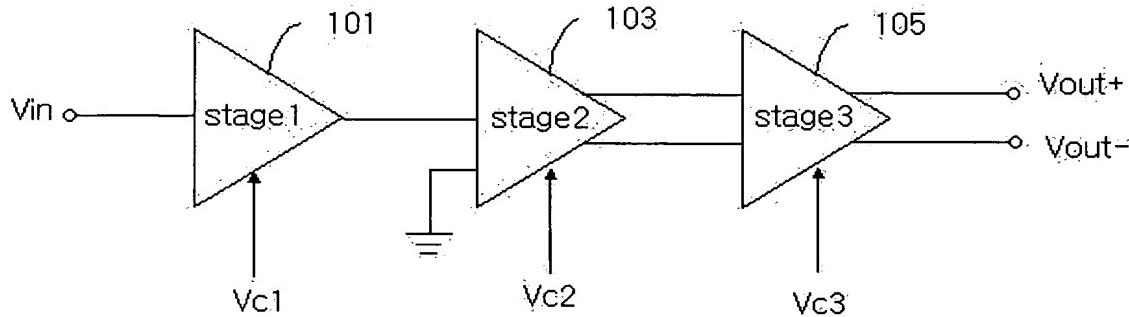
상기 제1 및 제2 증폭 소자의 제3 단자에 각각 접속되는 제1 및 제2 전류 소오스, 및

상기 제1 및 제2 증폭 소자의 제3 단자 간에 접속되는 소오스 퇴화 가변 저항을 포함하
되,

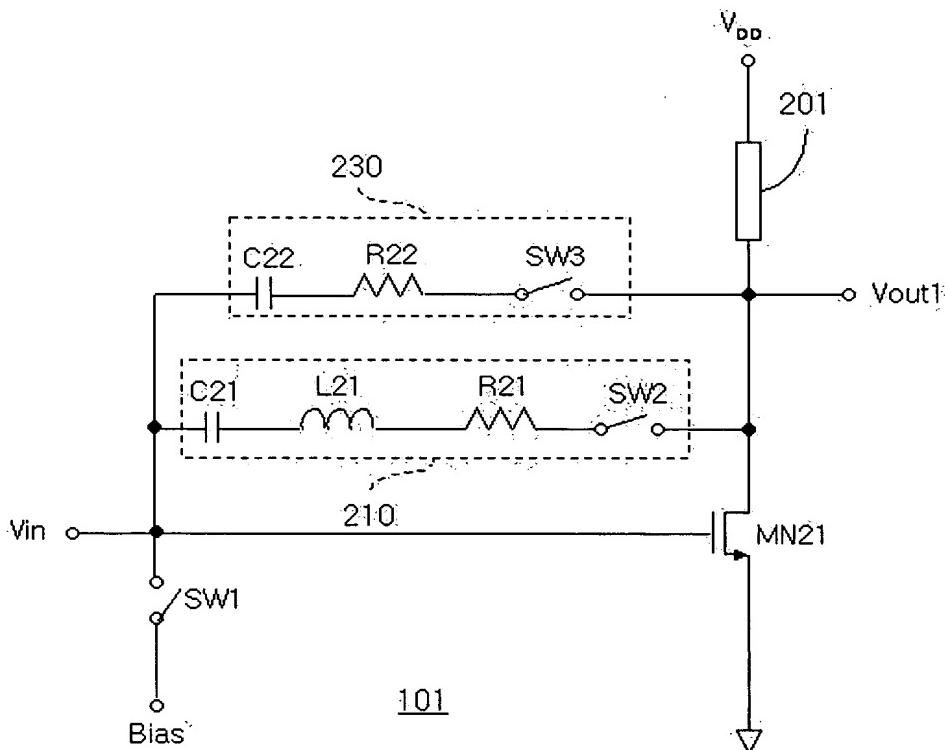
상기 제1 및 제2 증폭 소자의 제1 단자는 각각 상기 - 및 + 제2 출력단에 접속되고, 상
기 제1 및 제2 증폭 소자의 상기 제2 단자는 각각 - 및 + 제3 출력단을 형성하는 제3 증폭 회
로를 더 포함하는 가변 이득 증폭기.

【도면】

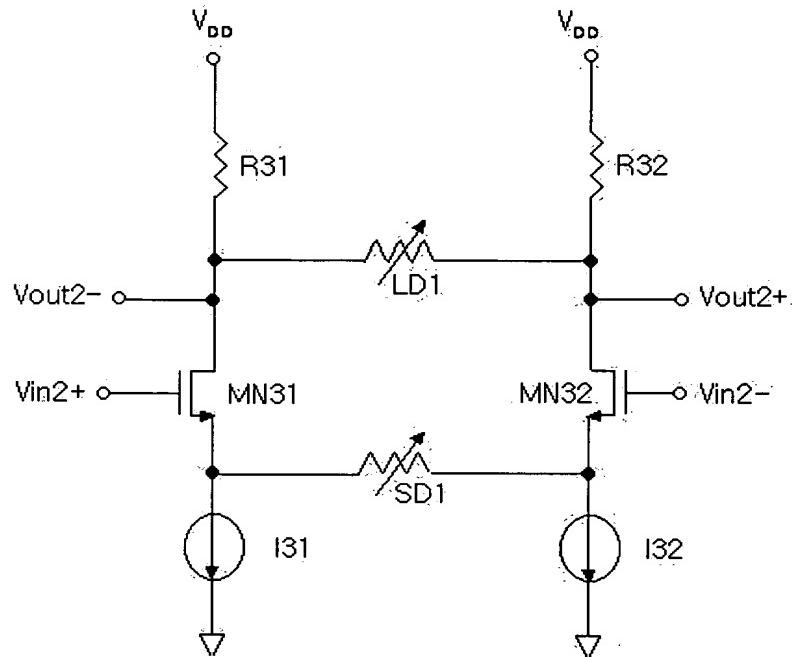
【도 1】



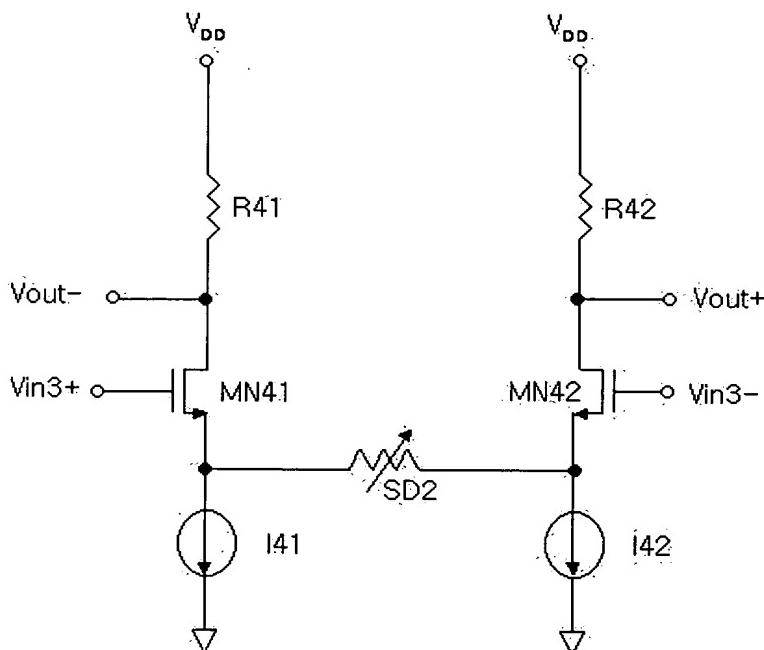
【도 2】



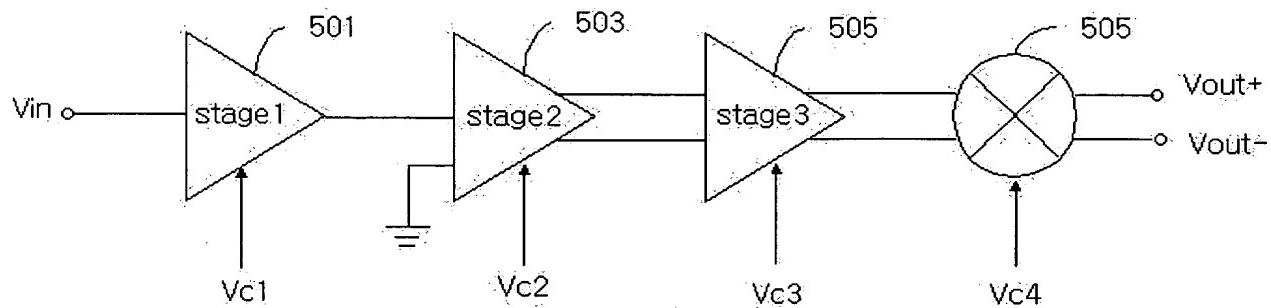
【도 3】

103

【도 4】

105

【도 5】



【도 6】

